

SYNCHRONIZE METHOD FOR DISTRIBUTED CPU SYSTEM

Publication number: JP11305812 (A)

Publication date: 1999-11-05

Inventor(s): KOGA HIDETSUGU +

Applicant(s): YASKAWA ELECTRIC CORP +

Classification:

- international: G06F15/16; G05B19/05; G06F9/46; G06F15/177; G06F15/16; G05B19/05; G06F9/46; (IPC1-7): G05B19/05; G06F9/46; G06F15/16

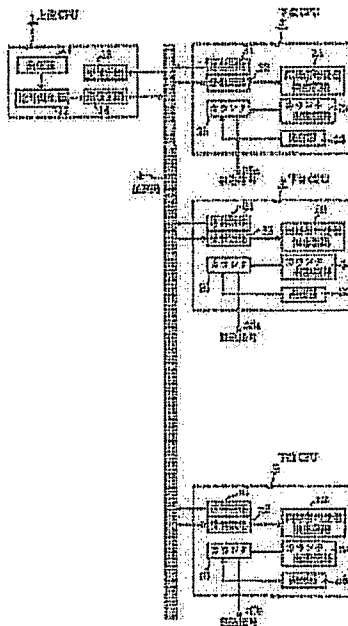
- European:

Application number: JP19980129479 19980422

Priority number(s): JP19980129479 19980422

Abstract of JP 11305812 (A)

PROBLEM TO BE SOLVED: To provide a method for synchronizing a distributed CPU system for changing the value of the counter of each lower-rank CPU 2, 3,..., n to a previously commanded value at the time of receiving a synchronizing signal and generating an interrupting signal to be outputted by the counter of each lower-rank CPU 2, 3,..., n in an optimal timing. SOLUTION: In this distributed CPU system equipped with plural distributed CPU 2, 3,..., n, and a host CPU 1 for controlling those CPU, the host CPU 1 transmits a synchronizing signal formed based on a signal with a constant interval to plural distributed CPU 2, 3,..., n, and those CPU change and adjust the counter values of counters 25, 35,..., n5 of those distributed CPU 2, 3,..., n at each lower-rank side through each counter starting circuit 24, 34,..., n4 by a delay time specific to each CPU according to receiving time delay based on delay on the transmission path of the synchronizing signal transmitted from the host CPU 1, and synchronize the counter signals from those counters 25, 35,..., n5 after the lapse of an arbitrary time since the reception of the synchronizing signal from the host CPU 1 for generating interrupting signals 25a, 35a,..., n5a.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-305812

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl. ⁶	識別記号	F I	S
G 0 5 B 19/05		G 0 5 B 19/05	
G 0 6 F 9/46	3 6 0	G 0 6 F 9/46	3 6 0 F
15/16	3 3 0	15/16	3 3 0 C

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平10-129479

(22) 出願日 平成10年(1998) 4 月22日

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石 2 番 1 号

(72) 発明者 古賀 英嗣

福岡県北九州市八幡西区黒崎城石 2 番 1 号

株式会社安川電機内

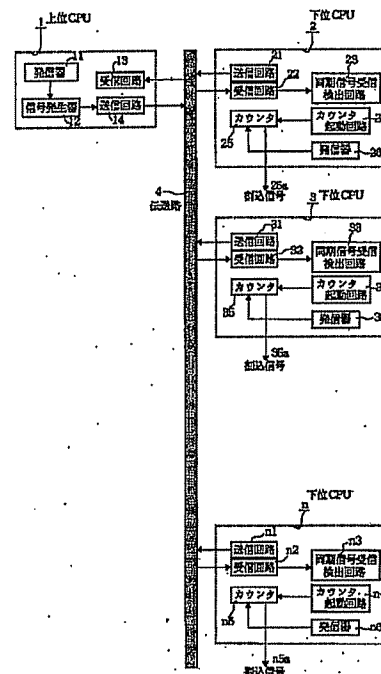
(74) 代理人 弁理士 西村 政雄

(54) 【発明の名称】 分散型CPUシステムの同期方法

(57) 【要約】

【課題】 従来、分散型CPUシステムの規模が大きくなると伝送路で同期信号の遅延が大きくなり、割込信号の出力同期がとれなくなるから、これを解決する。

【解決手段】 分散した複数のCPU2,3,...n と、これらのCPUを制御する上位CPU1を備えた分散型CPUシステムにおいて、上位CPU1は一定間隔の信号を基に形成した同期信号を分散した複数のCPU2,3,...n に送信し、これらのCPUは上位CPU1から送信される同期信号の伝送路における遅延に基づく受信時刻遅れに応じて、各下位側の分散した複数のCPU2,3,...n の備えるカウンタ25,35,...,n5 のカウンタ値を、各カウンタ起動回路24,34,...,n4を介して各CPU特有の遅れ時間で変更し調整し、これらカウンタ25,35,...,n5 からのカウンタ信号を上位CPU1からの同期信号受信より任意の時間経過後に同期させて、割込信号25a,35a,...,n5aを形成するようにして成る。



【特許請求の範囲】

【請求項1】 分散した複数のCPUと、該CPUを制御する上位CPUを備えた分散型CPUシステムにおいて、前記上位CPUは一定間隔の信号を基に形成した同期信号を前記分散した複数のCPUに送信し、前記分散した複数のCPUは、前記上位CPUからの前記同期信号の受信遅れに応じて、各下位側の前記分散した複数のCPUの備えるカウンタのカウンタ値を変更し、該カウンタからのカウンタ信号を前記上位CPUからの前記同期信号受信より任意の時間経過後に同期させて、割込信号を形成することを特徴とする分散型CPUシステムの同期方法。

【請求項2】 前記分散した複数のCPUはそれぞれ受信回路と同期信号検出回路とカウンタ起動回路と前記カウンタと発信器とを備え、前記同期信号検出回路は前記上位CPUからの前記同期信号を受信すると、前記カウンタ起動回路からカウンタ値が前記カウンタへ出力され、該出力される前記カウンタ値は前記カウンタ起動回路が前記同期信号を受信後に所定のタイミングで前記カウンタから定周期の割込信号が出力されることを特徴とする請求項1に記載の分散型CPUシステムの同期方法。

【請求項3】 前記カウンタ値は所定の値を初期値として備え、定周期で前記割込信号を出力する前記カウンタであって、前記上位CPUの指令により全ての前記CPUの前記割込信号のタイミングを調整することを特徴とする請求項2に記載の分散型CPUシステムの同期方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPU (Control Processing Unit)の同期に係り、特に分散した状態で同期運転を可能とする複数のCPUの同期方法に関する。

【0002】

【従来の技術】分散されて配置された複数台の工作機械やロボット等を複数のCPUで制御するとき、これらの複数のCPUを1つの上位CPUによって同期運転する場合がある。図3は、このような分散した複数のCPUを1つの上位CPUによって制御する従来のシステムの概略を示す制御ブロック図である。先ず動作について説明する。上位CPU1では発信器11で動作する信号発生器12から送信回路14を介して一定周期で同期信号が伝送路4へ送信される。ここで、下位CPU2, 3, ..., nの動作は同じなので、下位CPU2について動作を説明する。伝送路4に送信された同期信号を下位CPU2では受信回路22で受信し、同期信号検出回路23でこの受信データが同期信号であるかを検出する。同期信号である場合には同期信号検出回路23から一定値を

カウンタ25へ出力する。一方、カウンタ25は初期値をカウントダウンし、カウンタ25の値が零になると、再び初期値を読み込むと同時に割込信号25aを出力する。次に、同期が一致する動作について説明する。上位CPU1から一定周期で送信される同期信号の間隔は、下位CPU2, 3, ..., nのカウンタの持つ初期値よりも短い値に設定されている。従って、同期信号を受信すると同時に同期信号検出回路23から一定値が設定されるため一定時間経過後にカウンタ25, 35, ..., n5が零になり、各CPUの割込信号25a, 35a, ..., n5aは同じ時刻に出力されることになる[これを『従来例1』という]。

【0003】また、従来例2として実開平5-4202・モーションコントローラがあり、これは機械を制御するモーションコントローラは内部処理の処理周期ごとに外部信号の入出力を行っているが、プログラム運転の起動信号の入力の検知についても内部処理周期分のばらつきが発生し、起動信号に対する同期性を改善する手段であって、内部処理周期でリセットするサイクリックなタイマカウンタと、起動信号の入力によりタイマカウンタのカウントをラッチするラッチカウンタを備え、起動信号が入力されると起動信号から最初の内部処理までの時間を計算し、その時間より指令移動量を計算するようにしたモーションコントローラである。

【0004】さらに、特開平9-42806・プログラマブルコントローラがある[これを『従来例3』という]。その本発明に関連する構成部分は、演算処理モジュールによる写しメモリのデータの読み出しを確実に実行させて、演算誤差を低減させることができるとしており、この構成は、プログラマブルコントローラにおいては収集周期の開始時点から所定時間経過後に収集データを格納するデータ収集手段と、所定の循環周期で計数を行う計数手段と、位相差検出手段の検出値に基づいて収集周期及び読出周期の各開始時点同期化させる開始点調整手段とを有しているとしている。

【0005】

【発明が解決しようとする課題】然しながら、従来1の分散型システムの規模が大きくなると伝送路4で同期信号の遅延が大きくなり、各CPUの割込信号25a, 35a, ..., n5aはこの伝送路4の遅延時間が加算された時刻に出力されることになる。この結果、各CPUの割込信号25a, 35a, ..., n5aは伝送路4による伝送遅延の影響を受け、所定の時刻において割込信号の出力同期がとれなくなるという問題点がある。また、従来例2は内部処理周期でリセットするサイクリックなタイマカウンタとその出力を記憶するラッチカウンタを備える構成となっており、このような複雑な回路構成は伝送路を経た回路網を形成する分散型CPUの同期化制御には不適当である。さらに、従来例3は計数手段(カウンタ)からの計数値を同期化させる回路(データ収集

手段・演算処理手段)へ出力しているが、同期化するには「計数手段の計算値に収集周期を加算して…」とする手段であって、分散型CPUの割込信号発生同期化制御には言わば重厚長大であって、現実的な産業上の便利に繋がない。ここにおいて本発明は、同期信号受信で各下位CPU 2, 3, ..., nのカウンタの値を予め指令された値に変更し、各下位CPU 2, 3, ..., nのカウンタが出力する割込信号を最適なタイミングで発生させる分散型CPUシステムの同期方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題を解決するため、本発明における請求項1の発明は、分散した複数のCPUと、該CPUを制御する上位CPUを備えた分散型CPUシステムにおいて、前記上位CPUは一定間隔の信号を基に形成した同期信号を前記分散した複数のCPUに送信し、前記分散した複数のCPUは、前記上位CPUからの前記同期信号の受信遅れに応じて、各下位側の前記分散した複数のCPUの備えるカウンタのカウンタ値を変更し、該カウンタからのカウンタ信号を前記上位CPUからの前記同期信号受信より任意の時間経過後に同期させて、割込信号を形成することを特徴とする分散型CPUシステムの同期方法である。

【0007】本発明の請求項2の発明は、前記分散した複数のCPUはそれぞれ受信回路と同期信号検出回路とカウンタ起動回路と前記カウンタと発信器とを備え、前記同期信号検出回路は前記上位CPUからの前記同期信号を受信すると、前記カウンタ起動回路からカウンタ値が前記カウンタへ出力され、該出力される前記カウンタ値は前記カウンタ起動回路が前記同期信号を受信後に所定のタイミングで前記カウンタから定周期の割込信号が出力されることを特徴とする請求項1に記載の分散型CPUシステムの同期方法である。

【0008】本発明の請求項3の発明は、前記カウンタ値は所定の値を初期値として備え、定周期で前記割込信号を出力する前記カウンタであって、前記上位CPUの指令により全ての前記CPUの前記割込信号のタイミングを調整することを特徴とする請求項2に記載の分散型CPUシステムの同期方法である。

【0009】上記手段を具える本発明によれば、分散型CPUシステムの規模が大きくなって伝送路で同期信号の遅延が大きくなっても、分散した複数のCPUは上位CPUからの送信(同期)信号の遅延に応じて、自己より各下位側の分散した複数のCPUの備えるカウンタのカウンタ値を変更し、そのカウンタからのカウンタ信号を上位CPUからの同期信号受信より任意の時間経過後に同期させるようにして、割込信号を形成するようにしているから、確実かつ容易に分散型CPUシステムの同期が取れる方法が行うことが可能という特段の効果を奏する。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。全ての図面において、同一符号は同一若しくは相当部材を示すものとする。図1は、本発明の実施の形態の概要を示すシステム構成を表す図である。上位CPU 1では発信器11で動作する信号発生器12から送信回路14を介して一定間隔で同期信号が伝送回路4へ送信される。本発明において新たに設けられたカウンタ起動回路24に設定されるカウンタ値は、例えば同期信号に従来例1の上位CPU 1からの指令の一つとして、カウンタ起動回路24の出力値が含まれる場合や、各下位側の分散した複数のCPU側でカウンタ起動回路24の出力値が予め用意(設定)される場合がある。そこで、各下位側の分散した複数のCPUの受信回路22, 32, ..., n2で上位CPU 1からの同期信号はそれぞれ受信され、各同期信号検出回路23, 33, ..., n3でそれぞれ同期信号を検出され、各カウンタ起動回路24, 34, ..., n4は予め用意された計数値を各カウンタ25, 35, ..., n5へ出力している。

【0011】図2は、本発明の分散型CPUシステムにおける同期化を行ったときの経時的信号電圧波形図である。そしてこの時の各下位CPU 2, 3, ..., nの各カウンタ起動回路24, 34, ..., n4はそれぞれが予めプリセットされたカウンタ値を各カウンタ25, 35, ..., n5へ出力するため、各下位CPU 2, 3, ..., nの各カウンタ25, 35, ..., n5は同期信号受信後に任意の計数値が入力される。この結果、同期信号を受信してからカウンタの値が零になるまでの時間を任意に調節し、各下位CPU 2, 3, ..., nは同時に割込信号を発生させることができる。なお、各下位CPU 2, 3, ..., nは同期信号を受信してからカウンタの値が零になるまでの時間を調整し、同期信号を受信してから各下位CPUで異なった時点で割込信号を発生することも自明である。さらにまた、カウンタ値が所定の値を初期値として保有し、定周期で割込信号を出力する各カウンタ25, 35, ..., n5として、上位CPU 1の指令により全ての各カウンタ25, 35, ..., n5の割込信号のタイミングを調整することもなされている。

【0012】

【発明の効果】以上述べたように、本発明によれば、分散型CPUシステムの規模が大型化し上位CPUから送信される同期信号が伝送路により、各下位CPUの受信回路で大きく遅れて各下位CPU間でばらついても、各カウンタ起動回路が上位CPUから送信される同期信号によって、任意の値を出力するため、伝送路による遅延が吸収され、各下位CPU間の各カウンタは上位CPUから送信される同期信号の受信のタイミングに対して、同じタイミングで割込信号を出力でき、または同期信号受信のタイミングに対して任意のタイミングで割込信号

を出力できる分散型CPUシステムに必要な割込信号を端的に得ることができるという特段の効果を奏するに至る。

【図面の簡単な説明】

【図1】本発明の実施の形態の概要を示すシステム構成を表す図

【図2】本発明の分散型CPUシステムにおける同期化を行ったときの経時的信号電圧波形図

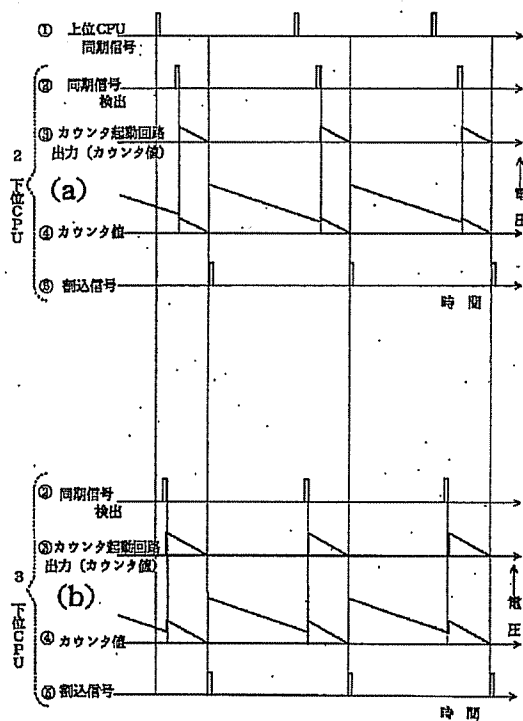
【図3】従来例1の概要を示すシステム構成を表す図

【図4】従来例1の同期化を行ったときの経時的信号電圧波形図

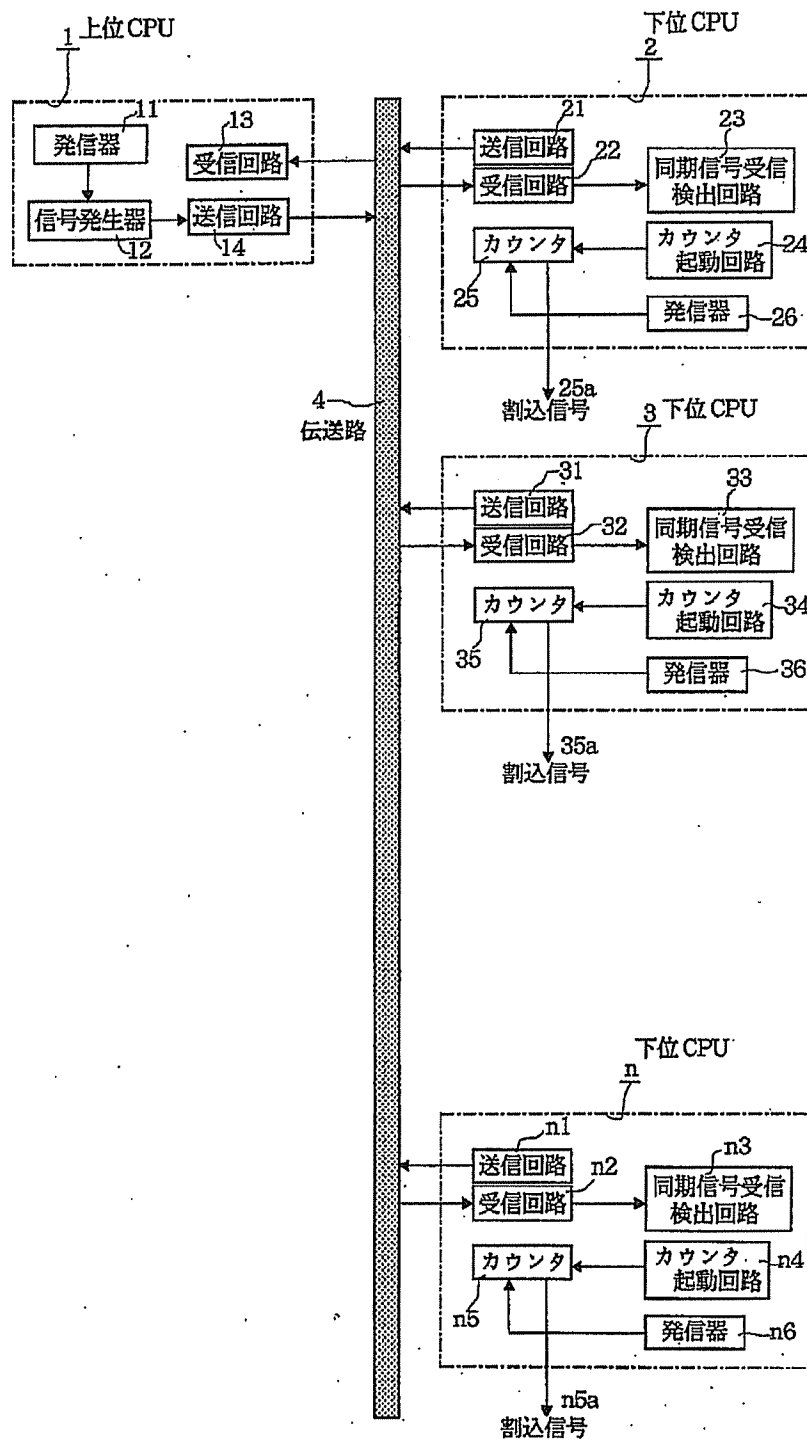
【符号の説明】

- 1 上位CPU
- 2, 3, ..., n 下位CPU
- 4 伝送路
- 11 発信器
- 12, 22, ..., n2 信号発生器
- 13, 22, 32, ..., n2 受信回路
- 14, 21, 31, ..., n1 送信回路
- 23, 33, ..., n3 同期信号受信検出回路
- 24, 34, ..., n4 カウンタ起動回路
- 25, 35, ..., n5 カウンタ
- 25a, 35a, ..., n5a 割込信号
- 26, 36, ..., n6 発信器

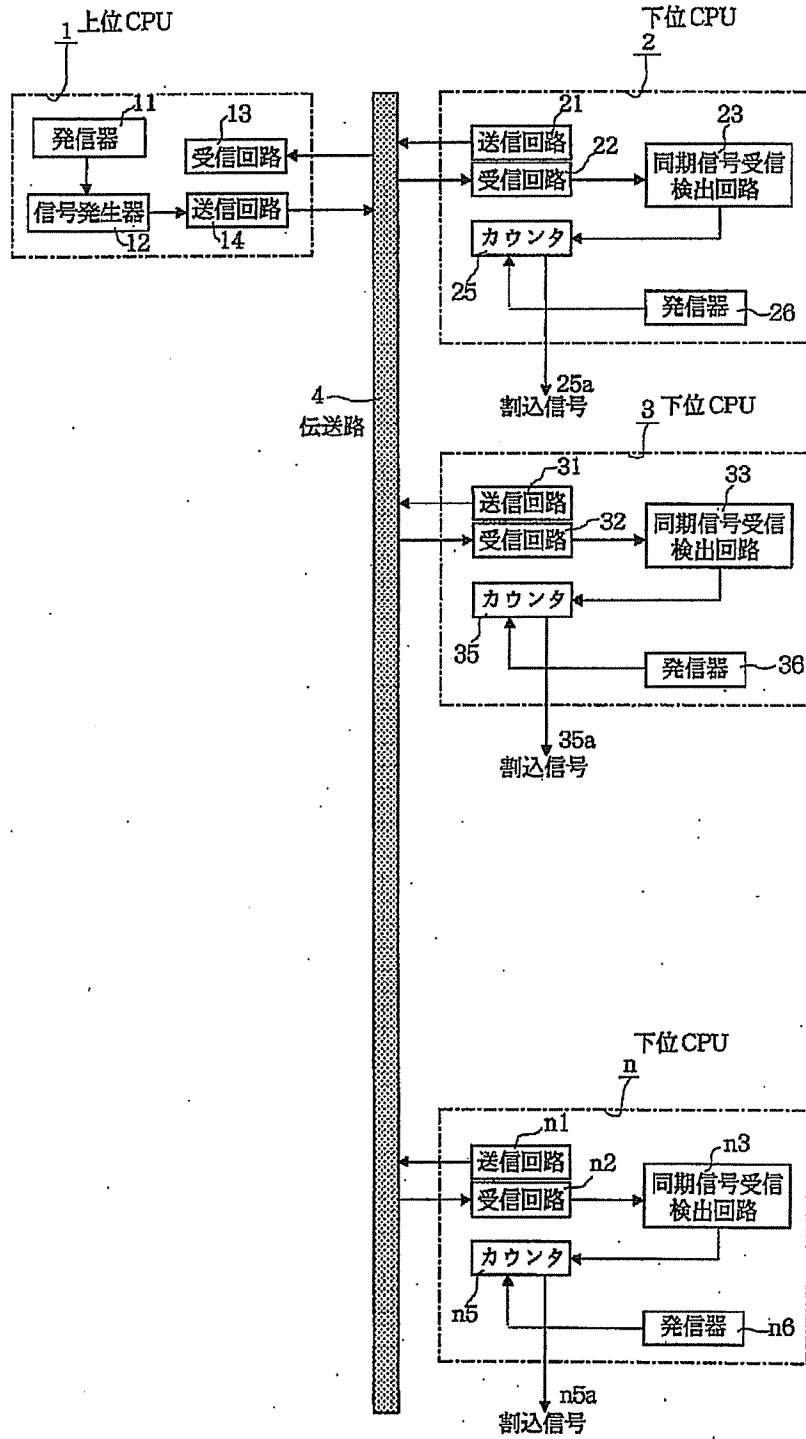
【図2】



【図1】



【図3】



【図4】

